

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-275204

(43)Date of publication of application : 21.10.1997

(51)Int.Cl.

H01L 27/148

H01L 27/146

H04N 5/335

(21)Application number : 08-082637

(71)Applicant : FUJI XEROX CO LTD

(22)Date of filing : 04.04.1996

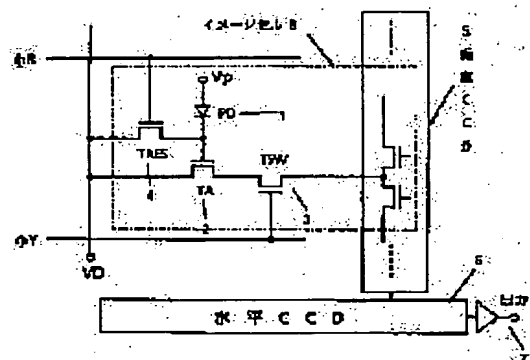
(72)Inventor : WATABE TOMOYUKI
MIYAGAWA NOBUAKI
NAKAMURA TAKESHI

(54) SOLID-STATE IMAGE PICK UP DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a highly-sensitive solid-state image pick up device with less fixed pattern noise, by making a quantity of electric charge determined according to the product of drain current and the on-time of a switching transistor in proportion to difference in on-resistance of an amplifying transistor due to difference in the quantity of light incident upon a photodiode, and transferring it by CCDs.

SOLUTION: An output signal current from an amplifying transistor 2 is guided to a vertical CCD 5 for specified time by on/off of a switching transistor 3, and a corresponding charge is guided to the vertical CCD 5. The charge is further guided to a horizontal CCD 6, and is taken out of an output terminal 7 with specified timing. Since signals are amplified at the amplifying transistor, high sensitivity is obtained. Since charges are produced from signals and are transferred by CCDs that are excellent in transmission efficiency, almost no degradation is caused by transmission. This obtains read-out output without variation and with high sensitivity and accuracy.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-275204

(43) 公開日 平成9年(1997)10月21日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/148			H 0 1 L 27/14	B
	27/146		H 0 4 N 5/335	F
H 0 4 N 5/335			H 0 1 L 27/14	E

審査請求 未請求 請求項の数 1 O L (全 7 頁)

(21) 出願番号 特願平8-82637

(22) 出願日 平成8年(1996)4月4日

(71) 出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂二丁目17番22号

(72) 発明者 渡部 知行

神奈川県足柄上郡中井町境430グリーンテ
クなかい 富士ゼロックス株式会社内

(72) 発明者 宮川 宣明

神奈川県足柄上郡中井町境430グリーンテ
クなかい 富士ゼロックス株式会社内

(72) 発明者 中村 毅

神奈川県海老名市本郷2274番地 富士ゼロ
ックス株式会社海老名事業所内

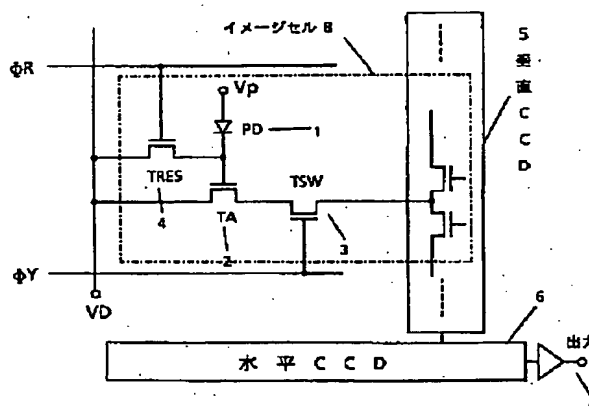
(74) 代理人 弁理士 木村 高久

(54) 【発明の名称】 固体撮像素子

(57) 【要約】

高感度でかつ固定パターン雑音の小さい固体撮像素子を提供する。

【課題を解決するための手段】 本発明の特徴は、複数の画素を具備し、各画素毎に少なくとも1個のホットダイオードと、少なくとも1個の3端子増幅素子と、前記3端子増幅素子の出力端子に接続され、所定時間ずつ接続をおこなうように構成されたスイッチング素子と、前記スイッチング素子の出力端子に接続された CCD素子とを具備してなり、前記ホットダイオードの一端を、前記3端子増幅素子の第1端子に接続するとともに、前記3端子増幅素子の第2端子を所定の電位に接続し、前記3端子増幅素子の第3端子から取り出された出力信号電流を、前記スイッチング素子を介して電荷量として前記 CCD素子に入力し、順次転送することにより、前記信号電荷に応じた画像出力信号を取り出すようにしたことにある。



【特許請求の範囲】

【請求項1】 基板上に複数の画素を具備してなる固体撮像素子において、

各画素毎に少なくとも1個のホトダイオードと、少なくとも1個の3端子増幅素子と、前記3端子増幅素子の出力端子に接続され、所定時間ずつ接続をおこなうように構成されたスイッチング素子と、前記スイッチング素子の出力端子に接続されたCCD素子とを具備してなり、前記ホトダイオードの一端が、前記3端子増幅素子の第1端子に接続されるとともに、前記3端子増幅素子の第2端子が所定の電位に接続せしめられ、前記3端子増幅素子の第3端子から取り出された出力信号電流が、前記スイッチング素子を介して電荷量として前記CCD素子に入力せしめられ、この電荷量を順次転送することにより、前記信号電荷に応じた画像出力信号が出力されるようにしたことを特徴とする固体撮像素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

【0002】本発明は、固体撮像素子に係り、特に高感度の固体撮像素子の構造に関する。

【従来の技術】従来種々の固体撮像素子が開発されており、近年では高感度の固体撮像素子の検討も行われている。例えば、現在多用されている標準的なCCD型固体撮像素子を、図6に示す。この図では、説明の簡略化のために、1つのイメージセルすなわち1画素と、その周辺を示している。この図6において、1イメージセルは、基本的にホトダイオード(PD)1と、トランスファークラークゲート(TRANSFER)63と呼ばれるスイッチング用のMOSFETとで構成されている。このような固体撮像素子では、ホトダイオード(PD)1で生成された光電荷は、MOSFETのトランスファークラークゲート63の開閉により垂直CCD5に導かれ、垂直CCD5と水平CCD6を順次転送せしめられて、水平CCD6の出力端7で、転送された電荷に応じた出力信号が出力される。ここでは、トランスファークラークゲート63のゲートパルスΦYのタイミングを適宜調整し、ホトダイオード1に蓄積された光電荷が所望の周期で垂直CCD5に導かれるように構成される。

【0003】この時ホトダイオード1の受光量が大きすぎる場合、過剰な電荷が垂直CCDに流入して垂直CCDの周囲に拡散し、画像に悪影響を及ぼすことがある。この問題を防ぐため、図6に示すように、オーバーフローゲート(OVF)64と呼ばれるMOSトランジスタを設けることも多い。この場合は、あるしきい値以上の余分な電荷を、外部に排出させるように、電位VOVGを調整して制御する。したがってここでは、ホトダイオード1と、トランスファークラークゲート63と、オーバーフローゲート64と垂直CCD5の1画素分のパケットでイメージセル8を構成している。この固体撮像素子は、各ホトダイオードからの出力信号を、配線で外部に導くことはしない。

【0004】ここでは、ホトダイオードの生成電荷をそのまま忠実に、CCDを用いて縦方向と横方向とに転送し、出力端まで運ぶ。出力端で届いた電荷量に応じた信号に変換し、増幅する。このときCCDの電荷の転送効率は非常に高い。したがってチップ上の出力端に近い位置にあるイメージセルからの信号でも、遠い位置にあるイメージセルからの信号でも、ほとんど劣化を生じることなく転送がなされる。したがって、チップの場所による不均一性に起因して生じる固定パターン雑音が小さいという特徴がある。

【0005】しかしながら、この固体撮像素子には増幅作用がないため、微細な信号を読み取るのは不十分であるという問題がある。

【0006】そこで、増幅型固体撮像素子が提案されている。これは、図7にそのイメージセルと周辺回路を示すように、画素を構成するイメージセルは、ホトダイオード(PD)1と、増幅トランジスタ(TA)2とスイッチングトランジスタ(TSW)3とリセットトランジスタ(TRES)4とで構成されている(テレビジョン学会誌、41巻、11号、1987年、第1075ページ乃至第1082頁)。

【0007】ここでは、ホトダイオード1の上端は所定の電位V_pに接続され、他端は増幅トランジスタ2のゲートに接続される。ホトダイオード1の受光量に応じて、光電荷によりホトダイオード1の両端電圧が変化する。このため増幅トランジスタ2のゲート電位が変化する。その結果増幅トランジスタ2のソース・ドレイン間の抵抗が変化する。そこで、増幅トランジスタ2のドレイン電流をスイッチングトランジスタ3を介して読み出し、出力電流として検出する。ここで読み出しはXYマトリックス状のスキヤナー回路71によって実行する。

【0008】一方、リセットトランジスタ4は、ホトダイオード1に蓄積された電荷を定期的に排出し、増幅トランジスタ2のゲート電位を定期的にリセットするものである。

【0009】この撮像素子ではホトダイオードの電荷を取り出さないので出力電流を読み出しても、ホトダイオード1の電荷は失われない。したがって、一度の受光で形成した画像を、画像情報を損なうことなく何度でも読み出すことができるという特徴を有する。またこの構造では、増幅トランジスタ2で増幅した信号を外部回路で読み出すため、高感度であるという特徴がある。

【0010】また、増幅型固体撮像素子の他の形態として、ホトダイオードをチップ上に積層形成したアモルファスシリコン層で形成する例も報告されている(アイ・イー・イー・イー・トランザクションズ・オン・エレクトロン・デバイセス、42巻、8号、(1995年、8月)第1425ページから第1432ページ(IEEE TRANSACTIONS ON ELECTRON DEVICES, Vol. 42, No. 8 August 1995) pp. 1425-1432)。かかる構成によれば、ホ

トダイオードをチップ上に積層して形成するため、1画素の占有面積の低減を図ることができる。

【0011】

【発明が解決しようとする課題】上記 CCD型固体撮像素子では、ホトダイオードで発生した微弱な光生成電荷をそのままCCDで転送する。すなわち生成電荷の増倍も信号の増幅もCCDの出力端を行わない。従って、微小光量に対応する微小電荷を転送するとき、CCD素子内に発生する雑音電荷の影響で、S/N比が劣化するという問題がある。このため高感度化には限界があった。

【0012】また、前述した2種類の従来の増幅型固体撮像素子は、電流検出素子であるため、出力電流を、トランジスタによるマトリックス状のスキヤナー回路の配線層を介して、出力端に導いている。このとき、チップ上で出力端に近い位置にあるイメージセルからの出力と、出力端から遠い位置にあるイメージセルからの出力とで、配線長に大きな差が生じる。このように、出力端から遠い位置にあるイメージセルの配線が長くなり、その寄生抵抗や寄生容量が非常に大きい。従って、特に微小光量の際に、出力端から遠い位置にあるイメージセルからの出力が劣化しやすく、これにより、固定パターン雑音が無視できないという問題があった。本発明は、前記実情に鑑みてなされたもので、高感度でかつ固定パターン雑音の小さい固体撮像素子を提供することを目的とする。

【0013】

【課題を解決するための手段】そこで本発明の特徴は、基板上に複数個の画素を具備してなる固体撮像素子において、各画素毎に少なくとも1個のホトダイオードと、少なくとも1個の3端子増幅素子と、前記3端子増幅素子の出力端子に接続され、所定時間ずつ接続をおこなうように構成されたスイッチング素子と、前記スイッチング素子の出力端子に接続された CCD素子とを具備してなり、前記ホトダイオードの一端が、前記3端子増幅素子の第1端子に接続されるとともに、前記3端子増幅素子の第2端子が所定の電位に接続せしめられ、前記3端子増幅素子の第3端子から取り出された出力信号電流が、前記スイッチング素子を介して電荷量として前記 CCD素子に入力せしめられ、この電荷量を順次転送することにより、前記信号電荷に応じた画像出力信号が出力されるようにしたことにある。

【0014】

【作用】上記構成によれば、ホトダイオードに入射する光量の差に起因する増幅トランジスタのオン抵抗の違いを、ドレイン電流によって検出するのではなく、ドレイン電流とスイッチングトランジスタのオン時間の積とで決まる電荷量を作り、これを CCDで転送する。すなわち第1に増幅トランジスタで信号を増幅するため高感度である。第2に信号から電荷を生成してこれを伝達効率のよいCCDで転送するため、転送による劣化がほとんど皆

無である。このため、ばらつきがなく、高感度で高精度の読み取り出力を得ることができる。また、配線長さの差に起因する出力信号のばらつきは、撮像素子のような、アナログ回路では深刻であり、画質の向上を阻む大きな問題になっているのに対し、本発明の固体撮像素子では、CCDを用いて電荷の転送をおこなうため、セルのチップ上での位置による配線長の差に起因する信号出力の劣化を小さくすることができる。すなわち、固定パターン雑音の小さい撮像素子を得ることが可能となる。

10 【0015】

【発明の実施の形態】以下、本発明について、図面を参照しつつ詳細に説明する。図1に、本発明の第1の実施例の固体撮像素子に用いられる1イメージセルとその周辺回路図を示す。この固体撮像素子素子は、増幅トランジスタで増幅された出力電流を、そのまま、マトリックス配線で駆動回路に読み出すのではなく、所定時間毎に読み出すことにより電荷量として取り出しこれを CCD出力として取り出すようにしたことを特徴とするものである。図2は、図1のイメージセルを用いた本発明の第1の実施例の固体撮像素子の回路構成図である。すなわち、図1において画素を構成するイメージセルは、ホトダイオード (PD) 1と、増幅トランジスタ (TA) 2とスイッチングトランジスタ (TSW) 3とリセットトランジスタ (TRES) 4と、垂直 CCD 5の1画素分のパケットとで構成される。増幅トランジスタ2からの出力信号電流を、このスイッチングトランジスタ3のオンオフにより、所定時間だけ垂直CCD 5に導くことにより、対応する電荷が垂直CCD 5に導かれる。そしてこの電荷は、更に水平 CCD 6に導かれて、所定のタイミングで、出力端子7から取り出されるようになっている。すなわち、この素子では、増幅トランジスタ2の出力信号電流を、スイッチングトランジスタ3のゲート電位を制御して、所定時間毎に蓄積することにより、電荷量として垂直 CCD 5、および水平CCD 6に導き、順次転送して、出力端子7から、出力信号電流として取り出す。

【0016】ここでも図7に示した従来例のイメージセルと同様、ホトダイオード1の上端は所定の電位V_pに接続され、他端は、増幅トランジスタ2のゲートに接続される。そして、ホトダイオード1の受光量に応じて、光電荷によりホトダイオード1の両端電圧が変化する。これにより、増幅トランジスタ2のゲート電位が変化する。その結果増幅トランジスタ2のソース・ドレイン間の抵抗が変化する。増幅トランジスタ2のドレインは所定の電位V_Dに接続されており、ソースはスイッチングトランジスタ3のドレインに接続されている。そして、スイッチングトランジスタ3のゲート端子に読みだしタイミング回路 (図示せず) から所望のスイッチングパルス (電位Φ_Y) を印加し、スイッチングトランジスタ3のオンオフを制御する。これにより増幅トランジスタ2のドレイン電流を、所定時間だけ垂直CCD 5に導く。

【0017】リセットトランジスタ4のドレインは所定の電位VDに接続されており、一方リセットトランジスタ4のソースは、増幅トランジスタ2のゲートとホットダイオードVDの接続点に接続されている。そしてリセットトランジスタ4のゲートにはリセットパルス(ΦR)を印加し、リセットトランジスタのオンオフを制御する。これにより、ホットダイオード1の電位すなわち増幅トランジスタのゲート電位を所望のタイミングで電位VDにリセットする。そして各列毎にリセットパルス(ΦR: ΦR1、ΦR2、...)とスイッチングパルス(ΦY: ΦY1、ΦY2、...)とを与えるように構成されている。

【0018】図3に、このイメージセルの断面構造図を示す。このイメージセルは、p型シリコン基板31内に4個のn型拡散層32(32a, 32b, 32c, 32d)を形成し、この周りをチャンネルストッパーとしてのp+拡散層33で囲み、このn型拡散層32とこのp型シリコン基板31の上層にゲート絶縁膜としての酸化シリコン膜34を介して形成されたポリシリコンゲート35とによって、ホットダイオード1と、リセットトランジスタ4と増幅トランジスタ2とスイッチングトランジスタ3とを形成したものである。製造に際してはまず、p型シリコン基板31表面にp+拡散層33を形成し、このp+拡散層33で囲まれた領域内にn型拡散層32を形成する。そして表面酸化により酸化シリコン膜34を形成し、この上層に多結晶シリコン膜を形成してこれをフォトリソグラフィによりパターニングしてポリシリコンゲート35を形成する。そしてさらに酸化シリコン膜を形成しこれをパターニングした後、この上層にアルミニウムやモリブデン、クロムなどの金属配線電極36を形成しこれをピクセル電極とする。このピクセル電極は遮光膜としての働きもし、受光部を規定する。またこの金属配線電極を各トランジスタおよびホットダイオードの間の接続にも使用する。更に、スイッチングトランジスタの右側のn型拡散層32は垂直CCD5を構成しており、紙面に垂直な方向に垂直CCDが形成されている。ここでn型拡散層32の内左端のもの、n型拡散層32aは、p型シリコン基板31との間でホットダイオード1を構成する。そして更にこのn型拡散層32aと右隣のn型拡散層32bとの間でリセットトランジスタ4を構成する。さらにまた、このn型拡散層32bと右隣のn型拡散層32cとの間で増幅トランジスタ2を構成する。さらに、このn型拡散層32cと右隣のn型拡散層32dとの間でスイッチングトランジスタ3を構成する。次に、この固体撮像素子の動作について説明する。図1において、まず、リセットパルスΦRによってリセットトランジスタ4がオンし、増幅トランジスタ2のゲート電位はVD(通常は正の高電位)にリセットされる。このとき増幅トランジスタ2はゲートとドレインがともにVDに接続され、増幅トランジスタはオンし、増幅トランジスタのソース・ド

レイン間抵抗すなわちオン抵抗は小さい。次に、ホットダイオード1の受光により光電荷が次第に蓄積し、増幅トランジスタ2のゲート電位が次第に低下する。このため増幅トランジスタのオン抵抗は、受光光量に応じて大きくなる。所望のスイッチングパルスΦYがオンし、所定の間オンする。このとき増幅トランジスタのオン抵抗に応じて流れる電流と、パルスΦYのオン時間の積に相当する電荷量が垂直CCD5に蓄積される。

【0019】このようにして順次垂直CCD5、水平CCD6を介して出力端子7に信号電荷が読み出されていく。図2の回路構成図において、ΦR_i(*i*=1、2...)は、*i*行目のリセットパルスを表す。ΦY_i(*i*=1、2...)は、*i*行目のスイッチングパルスを表す。まず、リセットパルスΦR₁がオンして第1行目の各画素のリセットトランジスタをオンさせ、ホットダイオードをリセットする。次に所定の受光時間を経過した後、スイッチングパルスΦY₁がオンし、第1行目の各画素電流を垂直CCD5に導く。次にリセットパルスΦR₂がオンして第2行目の各画素のリセットトランジスタをオンさせ、第2行目のホットダイオードをリセットする。次に所定の受光時間を経過した後、スイッチングパルスΦY₂がオンし、第2行目の各画素電流を垂直CCD5に導く。同様にして、順次パルスのオン状態となる行位置をずらしていけば、1行毎に順次電荷を転送することができる。

【0020】また別の転送方法として、各行のリセットパルスΦR_i(*i*=1、2...)をいっせいに同時タイミングでオンする。これにより、各行のホットダイオードをいっせいにリセットすることができる。次に受光時間の経過後、各行のスイッチングパルスΦY_i(*i*=1、2...)をいっせいに同時タイミングで、所定の時間だけオンする。これにより、各行の画素の信号をいっせいに垂直CCD5の各パケットに送り出すことができる。このようにして1タイミングで垂直CCD5の各パケットへ、電荷の蓄積を行うことができる。

【0021】かかる構成によれば、ホットダイオードに入射する光量の差に起因する増幅トランジスタのオン抵抗の違いをドレイン電流によって検出するのではなく、ドレイン電流とスイッチングパルスΦYのオン時間の積とで決まる電荷量を作り、これをCCDで転送する。増幅トランジスタを用いるため、高感度の出力が得られ、またCCDを用いるため、ばらつきがなく高精度の読み取り出力を得ることができる。さらに、CCDを用いて電荷の転送をおこなうため、セルのチップ上での位置に起因する信号出力の劣化をなくすことができ、このため固定パターン雑音を小さくすることができる。また、この素子は画像をそこなうことなく何度でも読みだしをおこなうことができ、信頼性の高い非破壊型の固体撮像素子を得ることが可能となる。

【0022】次に、本発明の第2の実施例としてイメー

ジセルを積層構造で形成した例について説明する。このイメージセルは図4に示すように、左端のn型拡散層32aをホットダイオードとして用いるのではなく、リセットトランジスタのソースとしてのみ用い、ホットダイオードは、セル領域表面にポリイミド膜からなる絶縁膜41を介して形成されたアモルファスシリコン層42内に形成し、セル領域表面全体を受光領域として用いるようにしたものである。ホットダイオードは、ポリイミド膜41上に形成されたピクセル電極36と、最上層の酸化インジウム錫層からなる透明電極43とでアモルファスシリコン層42を挟むことによって形成されるサンドイッチ構造素子で構成されている。この素子では、ピクセル電極36は画素毎に絶縁分離された個別電極を構成し、光電変換層としてのアモルファスシリコン層42と透明電極43は画素毎に分離されることなく、一体的に形成されている。アモルファスシリコン層42は高抵抗であるため、画素間の光電荷の移動は無視できる程度である。ここでピクセル電極は多結晶シリコンで形成された増幅トランジスタ2のゲート電極に接続される一方でリセットトランジスタ4のソースであるn型拡散層32aに接続されている。他の部分は図3に示した第1の実施例のイメージセルと同様に形成されている。この構造では、受光部を積層構造で構成しているため、セル面積を大幅に低減することができるとともに、配線構造も簡略化される。

【0023】次に、本発明の第3の実施例について説明する。この固体撮像素子は図5に示すように、第1の実施例における隣接ラインのリセットパルスとスイッチングパルスとを共通化し、第1のラインのスイッチングパルスΦYを、次のラインのリセットパルスΦRと共用するようにしたことを特徴とする。

【0024】まずスイッチングパルスΦY0がオンして第1行目の各画素のリセットトランジスタをオンさせ、ホットダイオードをリセットする。

【0025】次に所定の受光時間を経過した後、スイッチングパルスΦY1がオンし、第1行目の各画素電流を垂直CCD5に導く。この時同時にΦY1により、第2行目の各画素のリセットトランジスタをオンさせ、第2行目のホットダイオード1をリセットする。

【0026】次に所定の受光時間の経過後、スイッチングパルスΦY2がオンし、第2行目の画素電流を垂直CCD5に導く。同様にして、順次スイッチングパルスのオンする位置をずらしていくようにすれば、1行毎に順々に電荷を転送することができる。

【0027】また別の転送方法として、偶数行目のパルス(ΦY0、ΦY2、ΦY4、...)を同時のタイミングでオンし、所定の受光時間の経過の後、奇数行目のパルス(ΦY1、ΦY3、ΦY5、...)を同時のタイミングでオンする。そして更に所定の受光時間の後、

再び偶数行目のパルスをオンする。以下この操作を順次繰り返すことにより、偶数行目の各画素の信号と、奇数行目の各画素の信号を夫々同時に垂直CCD5に送り出すことができる。このようにして2タイミングで垂直CCDの各パケットへ、電荷の蓄積をおこなうことができる。

【0028】かかる構成によれば、スイッチングとリセットのパルスの配線数を半分に減らすことができるため、チップ面積を更に縮小することが可能となる。

【0029】

【発明の効果】以上説明してきたように、本発明によれば、高感度でかつ信号出力のばらつきがなく固定パターン雑音が小さく、高精度の固体撮像素子を提供することが可能となる。また、この素子は画像をそこなうことなく何度でも読みだしをおこなうことができ、信頼性の高い非破壊型の固体撮像素子を得ることが可能となる。

【図面の簡単な説明】

【図1】本発明の第1実施例の固体撮像素子の1イメージセルと周辺回路図を示す説明図

【図2】同固体撮像素子の回路説明図

【図3】同固体撮像素子の1イメージセルの断面構造を示す図

【図4】本発明の第2実施例の固体撮像素子の1イメージセルの断面構造を示す図

【図5】本発明の第3実施例の固体撮像素子の1イメージセルの回路説明図

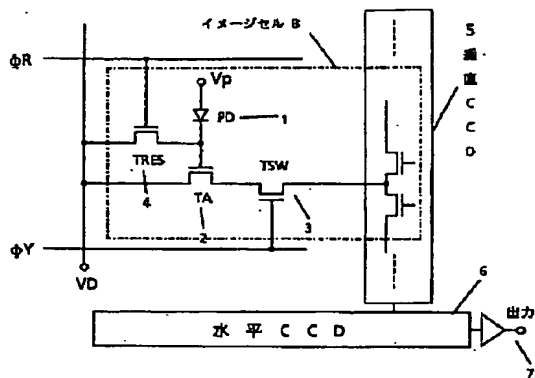
【図6】従来例の固体撮像素子を示す図

【図7】他の従来例の固体撮像素子を示す図

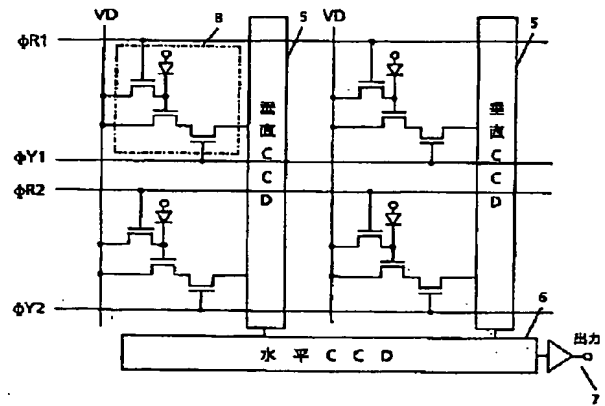
【符号の説明】

- 1 ホットダイオード
- 2 増幅トランジスタ
- 3 スwitchングトランジスタ
- 4 リセットトランジスタ
- 5 垂直CCD
- 6 水平CCD
- 7 出力端子
- 8 イメージセル
- 31 p型シリコン基板
- 32 n型拡散層
- 33 p⁺層
- 34 酸化シリコン膜
- 35 ポリシリコンゲート
- 36 ピクセル電極
- 41 ポリイミド膜
- 42 アモルファスシリコン層
- 43 透明電極
- 63 トランスファゲート
- 64 オーバーフローゲート
- 71 スキャナー回路

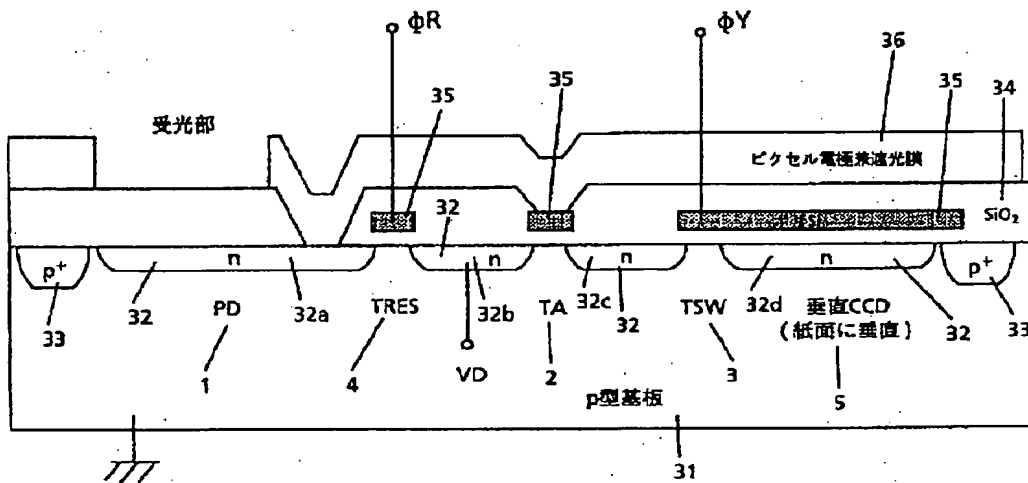
【図1】



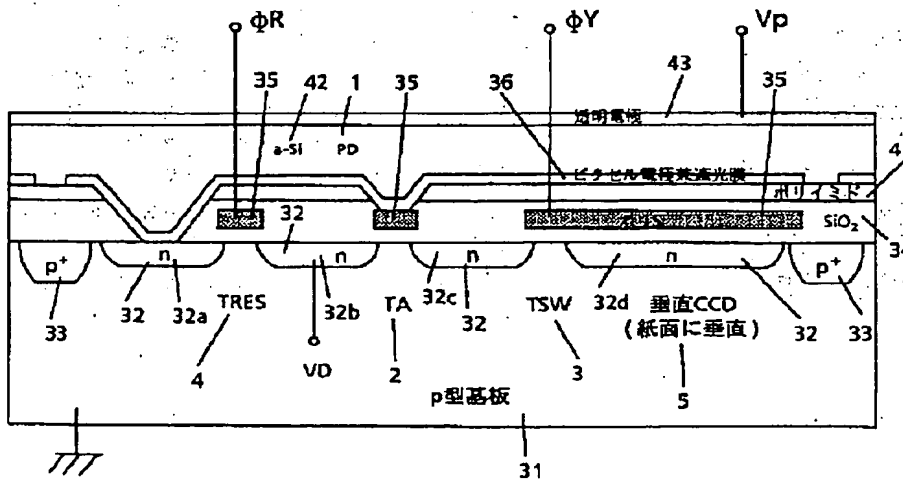
【図2】



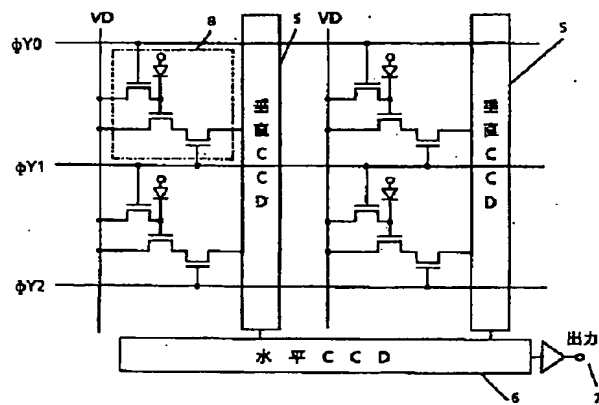
【図3】



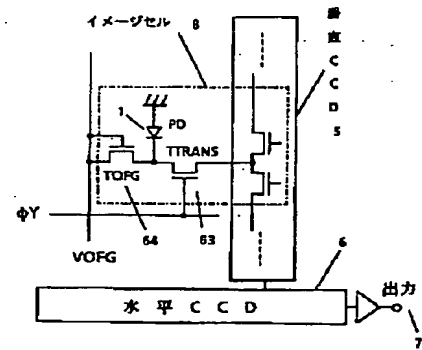
【図4】



【図5】



【図6】



【図7】

